

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-077358**

(43)Date of publication of application : **23.03.2001**

(51)Int.Cl.

H01L 29/78
H01L 29/74
H01L 21/332
H01L 29/749
H01L 21/336

(21)Application number : **11-248115** (71)Applicant : **FUJI ELECTRIC CO LTD**

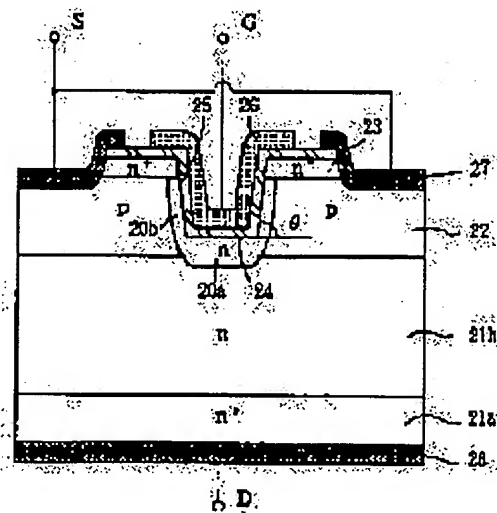
(22)Date of filing : **02.09.1999** (72)Inventor : **UENO KATSUNORI**

(54) SILICON CARBIDE UMOS SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the destruction or deterioration of a gate insulating film by the concentration of an electric field and to manufacture the UMOS semiconductor device of high breakdown voltage by making the depth of a trench to be shallower than a second conductive base area.

SOLUTION: In a SiC vertical MOSFET element, the depth of a trench 24 is formed to be shallower than a p-base area 22. When positive voltage is applied to a gate electrode layer 26, an accumulation layer is generated an n-side wall area 20b, a part between a drain electrode 28 and a source electrode 27 is conducted, current is made to flow and it is interrupted when the voltage of the



gate electrode 26 is removed. In trench MOSFET, the pn-junction exists in the p-base area 22 in a part deeper than the trench 24. A part where an electric field is concentrated becomes a pn-junction part. Thus, the electric field is prevented from being concentrated on the corner part of the trench 24, stress to a gate insulating film 25 is less and high breakdown voltage becomes possible.

LEGAL STATUS

[Date of request for examination] 17.02.2004

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2001-77358

(P2001-77358A)

(43)公開日 平成13年3月23日(2001.3.23)

(51)Int.Cl. ⁷	識別記号	F I	デマコト*(参考)
H 0 1 L 29/78		H 0 1 L 29/78	6 5 2 E 5 F 0 0 5
29/74		29/74	X
21/332			3 0 1
29/749			6 0 1 A
21/336		29/78	6 5 2 T
審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く			

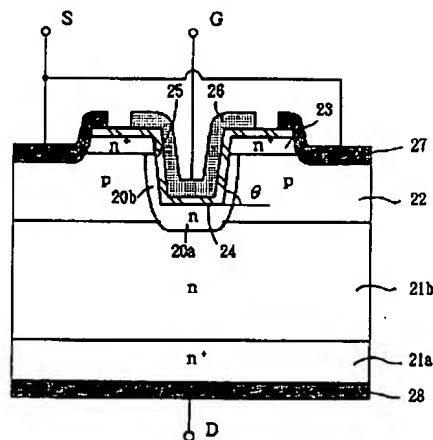
(21)出願番号	特願平11-248115	(71)出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22)出願日	平成11年9月2日(1999.9.2)	(72)発明者	上野 勝典 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(74)代理人	100088339 弁理士 篠部 正治 Fターム(参考) 5F005 AA03 AB03 AC02 AD01 AE07 AE09 AH02 AH04 BA02 BB01 BB02 GA01

(54)【発明の名称】 炭化けい素UMOS半導体素子およびその製造方法

(57) 【要約】

【課題】高耐圧で製造の容易なSiCからなるトレンチ型(U)MOS半導体素子を提供する。

【解決手段】pベース領域22の深さより浅いトレンチ24を形成し、そのトレンチ24の底部に、イオン注入および熱処理により、nドリフト領域21bに達するn底部領域20aを形成する。また、トレンチ24の側壁部分に、イオン注入および熱処理により、nサイドウォール領域20bを形成する。



21a n ⁺ ドレイン層	26 ゲート電極層
21b n ドリフト層	27 ソース電極
22 pベース領域	28 ドレイン電極
23 n ⁺ ソース領域	20a n 底部領域
24 トレンチ	20b n サイドウォール領域
25 ゲート絶縁膜	

【特許請求の範囲】

【請求項1】炭化けい素サブストレート上に積層された炭化けい素からなる第一導電型ドリフト層および第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に互いに隔離して形成された第一導電型ソース領域と、第一導電型ソース領域の表面から掘り下げられたトレンチと、そのトレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極層と、第一導電型ソース領域と第二導電型ベース領域との表面に共通に接触して設けられたソース電極と、炭化けい素サブストレートの裏面に設けられたドレイン電極とを有する炭化けい素UMOS半導体素子において、トレンチの深さが、第二導電型ベース領域より浅いことを特徴とする炭化けい素UMOS半導体素子。

【請求項2】トレンチの底面に第一導電型ドリフト層に達する第一導電型ドリフト層より高不純物濃度の第一導電型底部領域を有することを特徴とする請求項1に記載の炭化けい素UMOS半導体素子。

【請求項3】トレンチの底部の第一導電型底部領域の不純物濃度が、第一導電型ドリフト層のそれより高いことを特徴とする請求項2に記載の炭化けい素UMOS半導体素子。

【請求項4】トレンチの内壁表面層に第一導電型サイドウォール領域を有することを特徴とする請求項2または3に記載の炭化けい素UMOS半導体素子。

【請求項5】トレンチの側壁が傾斜していることを特徴とする請求項4に記載の炭化けい素UMOS半導体素子。

【請求項6】炭化けい素サブストレート上に積層された炭化けい素からなる第一導電型ドリフト層および第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に互いに隔離して形成された第一導電型ソース領域と、第一導電型ソース領域の表面から掘り下げられたトレンチと、そのトレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極層と、第一導電型ソース領域と第二導電型ベース領域との表面に共通に接触して設けられたソース電極と、炭化けい素サブストレートの裏面に設けられたドレイン電極とを有する炭化けい素UMOS半導体素子の製造方法において、第二導電型ベース領域をエピタキシャル成長により形成し、その第二導電型ベース領域より浅いトレンチを形成し、そのトレンチの底面に第一導電型不純物を注入し、熱処理して第一導電型底部領域を形成することを特徴とする炭化けい素UMOS半導体素子の製造方法。

【請求項7】トレンチ形成後そのトレンチの側壁に第一導電型不純物を注入し、熱処理して第一導電型底部領域を形成することを特徴とする請求項6に記載の炭化けい素UMOS半導体素子の製造方法。

【請求項8】トレンチを形成し、そのトレンチ内面に酸化膜を形成後、第一導電型不純物の注入をおこなうこと

を特徴とする請求項6または7に記載の炭化けい素UMOS半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体材料として炭化けい素を用い、金属-酸化膜-半導体(MOS)構造のゲートをもつ電界効果トランジスタ(以下MOSFETと記す)等のMOS半導体素子、中でもゲート電極をトレンチに埋め込んだタイプのUMOS半導体素子およびその製造方法に関する。

【0002】

【従来の技術】炭化けい素(以下SiCと記す)は、バンドギャップが広く、また最大絶縁電界がシリコン(以下Siと記す)と比較して約一桁大きいことから、特に高温、電力用への適用が重要と考えられている材料であり、次世代の電力用半導体素子として期待されている。これまでに、4H-SiCまたは6H-SiCと呼ばれる単結晶ウェハを用いて様々な電子デバイスへ応用されつつあり、特に高温、大電力用の半導体素子に適すると考えられている。上記の結晶は閃亜鉛鉱型とウルツ鉱型とを積層した形のアルファ相SiCである。他に3C-SiCと称されるベータ相SiCの結晶でも半導体装置が試作されている。最近では電力用素子としてショットキーダイオード、縦形MOSFET、サイリスタなど、あるいは最も汎用的な半導体装置であるCMOS-ICが試作され、その特性から従来のSi半導体装置と比較して非常に特性が良好なことが確認されている。

【0003】中でもSiCの電力用半導体素子としての最も重要な応用例が縦形MOSFETと考えられていて、トレンチ型やプレーナ型の縦形MOSFETが試作されている。ここではトレンチ型の半導体素子をUMOS半導体素子と称する。

【0004】まずこれまでのSiCUMOSFETの例を示す。図4はSiCUMOSFETの単位セルの部分断面図である[Onda, S., 他: Phys. Stat. Sol. (a), vol.43, p.369, (1997) 参照]。

【0005】n⁺サブストレート層11a上にnドリフト層11b、pベース層12が積層され、そのpベース層12の表面層にn⁺ソース領域13が形成されている。n⁺ソース領域13の表面からnドリフト層11bに達するトレンチ14が設けられ、そのトレンチ14の側壁部分にnサイドウォール領域10が形成され、更に内側にゲート絶縁膜15を介してゲート電極層16が埋め込まれている。n⁺ソース領域13とpベース層12とに共通に接触してソース電極17、n⁺サブストレート層11aの裏面にドレイン電極18が設けられている。図示されない部分でゲート電極層16に接して金属のゲート電極が設けられる。

【0006】この構造では、ゲート電極またはゲート電極層16に電圧を印加すると、ゲート絶縁膜15を介し

でゲート電極層16に面したnサイドウォール領域10に蓄積層が形成され、MOSチャネルとなってソース電極17、ドレイン電極18間が導通する。また、ゲート電極の印加電圧を取り除くことによって、ドレイン電極18とソース電極17との間が遮断されて、スイッチング機能を示すことになる。電流遮断状態ではpベース層12とnドリフト層11bとの間のpn接合を中心にして空乏層が広がって、大きな電圧を維持することができる。以上がUMOSFETの動作の簡単な説明である。

【0007】このUMOSFETで重要なのは、トレンチ14の側壁部分にnサイドウォール領域10が形成されていることである。通常のエンハンスメント型MOSFETではゲート電極の下方に反転層が誘起されてチャネルとなるが、SiCでは反転層のキャリア移動度が小さく、オン抵抗が大きくなる。その対策として、図4の構造ではエピタキシャル成長により、トレンチ14の側壁部分にキャリア移動度の大きいnサイドウォール領域10を形成し、特性向上をねらっているものである。

【0008】MOSFETでは、また反転層の長さ(チャネル長と呼ばれる)の厳密な制御が求められるが、図4のようなUMOSFETでは、そのチャネル長がpベース領域12の厚さによってほぼ規定されるので、容易に制御ができるという点ですぐれている。また、トレンチ構造では図から容易に想像できるように、表面の利用効率が良く、チャネルを広くとることができ、かつ微細な構造が形成できることがその特長である。

【0009】製造方法はさまざま考えられるが、SiCでは熱拡散による深い不純物領域の形成が非常に困難であるため、nドリフト層11bおよびpベース層12をエピタキシャル成長により形成するのが一般的である。またnサイドウォール領域10もエピタキシャル成長で形成した例がある。pベース層12は必ずしもエピタキシャル成長ではなく、ほう素(以下Bと記す)やアルミニウム(以下Alと記す)のイオン注入により形成されることもある。

【0010】nドリフト層11bは、耐圧クラスによって適当な不純物濃度、厚さに設定されるが、例えば1000Vクラスでは、厚さが約10 μ m、濃度が1 \times 10¹⁶cm⁻³である。pベース層12の厚さはほぼチャネル長となるため、これも設計によるが、1 \sim 2 μ m程度で濃度は1 \times 10¹⁶ \sim 5 \times 10¹⁷cm⁻³である。n⁺ソース領域13はイオン注入やエピタキシャル成長のどちらでも可能であり、不純物は窒素(以下Nと記す)やリン(以下Pと記す)が用いられる。なお、SiCでは高温でイオン注入することがあるが、その場合にはイオン注入マスクはレジストでは耐えられないので、多結晶シリコン膜や酸化膜、あるいは金属膜が用いられる。イオン注入後のアニールは不純物によって異なるが、一般的には1300℃から1700℃程度でおこなわれる。

【0011】さきにも少し触れたが、このプロセスで重要なのは、エピタキシャル成長により、厚さの厚いpベース層12が形成できることと、pベース層12の厚さ(正確にはそれからn⁺ソース領域13の厚さを引いたもの)がMOSFETのチャネル長となっている点であり、すなわち一種のセルフアライン(自己整合)工程となっていて、チャネル長の制御が容易にできるという特長である。

【0012】

10 【発明が解決しようとする課題】SiC縦型MOS半導体素子では、非常に優れた特性が期待されるものの、実際にはこれまであまり良好な特性が実現していないか、または実際には製造されていない。その原因の一つはMOSFETの特性が非常に悪く、全体の特性を落としてしまっているからである。具体的にはMOSFETの抵抗が大きいことであつた。

【0013】図4の構造ではこれを回避するためにn型導伝層7をエピ成長により形成しているが、この層を形成するにはトレンチ溝の横方向成長など非常に高度の技術を必要とし、製造が容易ではない。

【0014】また、トレンチ構造では最大電界がトレンチのコーナー部に集中するために、ゲート絶縁膜が破壊するという問題がある。図4においてはトレンチ部分の底の部分は結晶方位で酸化膜のもっとも厚く成長する方位を選んで底の酸化膜を厚くすることでその絶縁破壊を防止しようとしている。

【0015】しかし、この場合においても最大電界が酸化膜とSiCの界面に生じることには変わりはなく、そのために高電圧印可時にはホットエレクトロンが酸化膜へ注入されてその信頼性が劣化してしまうという課題がある。

【0016】以上の問題に鑑み本発明の目的は、高耐圧で、かつ容易に製造できるSiCUMOS半導体素子およびその製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記課題解決のため本発明は、炭化けい素サブストレート上に積層された炭化けい素からなる第一導電型ドリフト層および第二導電型ベース領域と、その第二導電型ベース領域の表面層にマスクにより選択的に互いに隔離して形成された第一導電型ソース領域と、第一導電型ソース領域の表面から掘り下げられたトレンチと、そのトレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極層と、第一導電型ソース領域と第二導電型ベース領域との表面に共通に接触して設けられたソース電極と、炭化けい素サブストレートの裏面に設けられたドレイン電極とを有するSiCUMOS半導体素子において、トレンチの深さが、第二導電型ベース領域より浅いものとする。

50 【0018】トレンチの深さより第二導電型ベース領域が深ければ、最大電界はトレンチ底部のコーナーではな

く、第二導電型ベース領域のエッジ部分となるため、ゲート絶縁膜の劣化を招くことがなくなる。また浅いトレンチですむため、製造が容易である。

【0019】特に、トレンチの底面に第一導電型ドリフト層に達する第一導電型ドリフト層より高不純物濃度の第一導電型底部領域を有するものとする。

【0020】そのような構造であれば、オン抵抗を低減できる。

【0021】また、トレンチの内壁表面層に第一導電型サイドウォール領域を有するものとすることもできる。

【0022】第一導電型サイドウォール領域は、エンハンスメント型MOS半導体素子の反転層より大幅に大きなキャリア移動度を得られるので、チャネル抵抗を低減できる。

【0023】トレンチの側壁が傾斜していれば、イオン注入で第一導電型サイドウォール領域を形成する際に、その傾斜角の制御により、注入量を調節できる。

【0024】上記のようなUMOS半導体素子の製造方法としては、トレンチ形成後そのトレンチの底面に第一導電型不純物を注入し、熱処理して第一導電型底部領域を形成するものとする。

【0025】そのような製造方法をとれば、トレンチの深さより深い第二導電型ベース領域をもつUMOSFETを容易に製造できる。

【0026】第二導電型ベース層をエピタキシャル成長により形成し、その第二導電型ベース領域より浅いトレンチを形成し、そのトレンチの側壁に第一導電型不純物を注入し、熱処理して第一導電型底部領域を形成しても良い。

【0027】そのようにすれば、トレンチの側壁に第一導電型サイドウォール領域をもつUMOSFETを容易に製造できる。

【0028】また、トレンチを形成し、そのトレンチ内面に酸化膜を形成後、第一導電型不純物の注入をおこなうこともできる。

【0029】そのようにすれば、酸化速度の結晶方位依存性を利用して、第一導電型サイドウォール領域へのイオン注入量を調節できる。

【0030】

【発明の実施の形態】以下本発明について、実施例を示しながら詳細に説明する。ただし、図4と共通の部分、あるいは本発明とかかわりのない部分については説明を省略する。本発明の重要な応用例としてnチャネルMOSFETを例に取っているが、導電型を逆にしたpチャネルMOSFETにも本発明が適応可能なことは勿論である。なお、ここで説明するSiCは良く知られているように、多くのポリタイプが存在するが、主に6Hおよび4Hと呼ばれるものを対象としている。

【0031】【実施例1】図1は本発明第一の実施例(以下実施例1と記す。以下同様)にかかるSiC縦型

MOSFETの単位セルの断面図である。

【0032】n⁺ドレイン層21a上にnドリフト層21b、pベース領域22が積層されたウェハにおいて、そのpベース領域22の表面層に選択的にn⁺ソース領域23が形成されている。n⁺ソース領域23の表面からトレンチ24が掘り下げられ、そのトレンチ24の側壁部分にはnサイドウォール領域20bが、底部にはn底部領域20aが形成されており、そのn底部領域20aは、下のnドリフト層21bに達している。

【0033】トレンチ24内には、ゲート絶縁膜25を介して多結晶シリコンからなるゲート電極層26が埋め込まれている。n⁺ソース領域23とpベース領域22とに共通に接触してソース電極27、n⁺ドレイン層21の裏面にドレイン電極28が設けられている。図示されない部分でゲート電極層26に接して金属のゲート電極が設けられる。

【0034】主なディメンジョンの一例は、次のような値である。n⁺ドレイン層21aの不純物濃度は $3 \times 10^{18} \text{cm}^{-3}$ 、厚さ $350 \mu\text{m}$ 、nドリフト層21bのそれは、 $1 \times 10^{16} \text{cm}^{-3}$ 、厚さ $10 \mu\text{m}$ 。pベース領域22の不純物濃度は $1 \times 10^{17} \text{cm}^{-3}$ 、厚さ $2 \mu\text{m}$ 、n⁺ソース領域23の表面不純物濃度は $1 \times 10^{19} \text{cm}^{-3}$ 、接合深さ $0.3 \mu\text{m}$ で、幅は約 $2 \mu\text{m}$ である。ゲート絶縁膜25の厚さは 50nm 、トレンチ24の幅は $2 \mu\text{m}$ 、深さ $1.8 \mu\text{m}$ である。図の単位セルのピッチは約 $10 \mu\text{m}$ である。

【0035】図4の従来のSiC縦型MOSFET素子と違っている点は、トレンチ24の深さがpベース領域22の深さより浅く、トレンチ24の底部にnドリフト層21bに達するn底部領域20aが形成されている点である。動作は、基本的には変わらない。すなわち、ゲート電極層26に正の電圧を印加することによって、nサイドウォール領域20bに蓄積層を生じ、ドレイン電極28、ソース電極27間が導通して電流が流れ、ゲート電極層26の電圧を取り除くと遮断される。

【0036】このトレンチMOSFETでは、トレンチ24よりも深いところにpベース領域22のpn接合がある。そして電界が集中する部分は、pn接合部分となる。このため、トレンチ24のコーナー部に電界が集中することがなく、ゲート絶縁膜25へのストレスが少ない構造となっていて、高耐圧化が図られている。

【0037】また、nサイドウォール領域20bを従来のようにエピタキシャル成長でなく、イオン注入で形成すれば、不純物量、厚さなどを容易に制御可能である。例えばnサイドウォール領域20bの厚さは、主にトレンチ角度 θ によって制御することができる。すなわち、トレンチ角度 θ が 90° に近いと、側壁には殆どnサイドウォール領域20bが形成されない。しかし、トレンチ角度 θ が浅くなるとnサイドウォール領域20bはだんだん厚くなる。

【0038】図2(a)ないし(f)は、図1のSiC縦型MOSFETの製造方法を説明するための製造工程順の表面近傍の部分断面図である。以下順に説明する。製造方法は、従来のトレンチMOSFETの製造方法とほぼ同一である。

【0039】まず、 n^+ ドレイン層21aとなる n^+ サブストレート上に、 n ドリフト層21bとなるPドーパの n 型層、 p ベース領域22となるBドーパ p 型層、 n^+ ソース領域23となる窒素ドーパ n 型層をエピタキシャル成長により形成した4H-SiCエピタキシャルウェハを準備する[図2(a)]。 n ドリフト層11bは耐圧によって設計される不純物濃度、厚さに設定される。例えば1000V耐圧では厚さが約10 μ m、濃度が $1 \times 10^{16} \text{cm}^{-3}$ である。 p ベース領域22、 n^+ ソース領域23は、必ずしもエピ成長ではなく、 p ベース領域22はBやAl、 n^+ ソース領域23はPやNのイオン注入により形成してもよい。

【0040】次に、例えばプラズマCVD法により多結晶シリコン膜を堆積し、フォトリソグラフィによりパターンニングして第一マスクM1とした後、四塩化炭素と酸素の混合ガス等を用いた反応性イオンエッチング(RIE)によりトレンチ24を形成する[同図(b)]。ドライエッチングはプラズマエッチングでもよい。トレンチ24は p ベース領域22を貫通しない深さとする。従来のトレンチMOSFETではトレンチ深さはかならず p ベース領域22よりも深く設定されたが、本発明ではこれより浅くすることが第一の特徴である。なお、RIEのときのエッチング条件、パワーやガス圧などによって、トレンチ24の側壁角度 θ を制御することができる。

【0041】さらに多結晶シリコン膜のマスクM1を利用して約1000℃の高温でNイオン5aをイオン注入する[同図(c)]。このときトレンチ24の側壁部分にもNイオン5aが注入される。その量は、トレンチ24の側壁の角度 θ によって制御される。5bは注入されたN原子である。加速電圧は400keV～1MeV、総ドーズ量は約 $1 \times 10^{14} \text{cm}^{-2}$ である。 n 型不純物となる不純物としてはNの他にPなどを用いることができる。高温でイオン注入することにより、活性化率を向上させることができる。但し、その場合には選択的なイオン注入用のマスクはレジストでは耐えられないので、本実施例のように多結晶シリコン膜や、酸化膜、あるいは金属膜等の耐熱性の材料を用いねばならない。

【0042】1300℃、1時間の熱処理をおこない、注入した不純物濃度を活性化し、トレンチの下方の p ベース領域22を n 型化して n 底部領域20aを形成する[同図(d)]。図からわかるように、このときトレンチ24の側壁部分も注入された n 型不純物により n 型化され、 n サイドウォール領域20bが形成される。その様子は、図2(b)で形成されたトレンチ側壁の角度 θ

および図2(c)で注入された n 型不純物の量に依存している。先に述べたようにSiCでは不純物の拡散が殆ど起きないが、イオン注入時の加速電圧の調節により、不純物領域の形成される深さを制御することができる。イオン注入深さが浅いと、注入層が次の熱酸化によって酸化してしまうので、ある程度深く注入する方がよい。

【0043】パイロジェニック法により、1100℃で5時間、熱酸化しトレンチ24内面にゲート絶縁膜25となる厚さ30nmの酸化膜3aを形成した後、減圧CVD法により多結晶シリコン膜1bをトレンチ24内に形成する[同図(e)]。 n^+ ソース領域23の上部にも堆積する。

【0044】以降は従来の製造方法と同一で、ゲート電極層26をパターンニングし、ゲート絶縁膜25および n^+ ソース領域23を一部除去し、ソース電極27のコンタクト領域とする[同図(f)]。

【0045】この後、アルミニウム合金膜を蒸着しパターン形成して、 p ベース領域22および n^+ ソース領域23に共通に接触するソース電極およびゲート電極とし、 n^+ サブストレートの裏面にもドレイン電極を設けるなどしてプロセスを完了する。

【0046】以上の製造方法によれば、トレンチ24の形成後にエピタキシャル成長を必要とせず、イオン注入および熱処理だけで図1のUMOSFETを実現できる。

【0047】本実施例のSiCUMOSFETでは、ゲート電極層26に正の電圧が印加されると n サイドウォール領域20bに蓄積層が形成され、低いチャネル抵抗と安定した特性が得られる。

【0048】〔実施例2〕図3は、別の製造方法のうち、熱酸化後イオン注入をおこなう工程の断面図である。

【0049】図2(b)のトレンチ形成後に、熱酸化工程を挿入してトレンチ24の内面に酸化膜3bを形成し、更に図2(c)と同様にイオン注入を実施する。

【0050】このようにすると側壁へのイオン注入量を減らすことができる。このとき注意すべきことは、炭化けい素の熱酸化速度が結晶方位によって大きく異なることである。例えば(0001)Si面を主表面とした場合、パイロジェニック法により1100℃で5時間、熱酸化すると、(0001)Si面には約30nmの厚さの酸化膜が形成され、(0001)Si面に垂直な(11-20)には約500nmの厚さの酸化膜が形成される。すなわち、(0001)Si面がもっとも酸化速度が遅いので、側壁部分には底面部分より厚い酸化膜が形成される。

【0051】そのため、イオン注入時に側壁部分への注入量が制限される。従って、先に述べたトレンチの側壁角度 θ だけではなく、この熱酸化膜の厚さによっても n サイドウォール領域20bへの注入量や注入深さを制御

することができる。

【0052】なお、マスク材料には、熱に強い多結晶シリコンや窒化膜などが適している。

【0053】以上の実施例では縦型MOSFETを取り上げたが、IGBT、MOSサイリスタ等の電圧駆動MOSパワー素子にも適用できる。また、横型MOSFETにも同様の技術を適用することができる。

【0054】

【発明の効果】以上説明したように本発明によれば、SiCUMOS半導体素子において、トレンチの深さを第二導電型ベース領域の深さより浅くすることにより、電界集中によるゲート絶縁膜の破壊或いは劣化が防止され、高耐压のUMOS半導体素子が可能となった。

【0055】また、SiCUMOS半導体素子の製造方法としては、イオン注入によりトレンチ底部に底部領域を、側壁部分にサイドウォール領域を形成することにより、エピタキシャル成長を用いず、安価でかつ安定な方法を提供することができた。

【0056】本発明は、個別のMOSFETに限らず、CMOS-ICや他のSiC半導体素子にも極めて有効な方法であり、高耐压、低損失のSiC半導体装置の製造を容易にするものである。

【図面の簡単な説明】

【図1】本発明第一の実施例のSiCUMOSFETの部分断面図

【図2】(a)～(f)は実施例1のSiCUMOSFETの製造工程順の断面図

ETの製造工程順の断面図

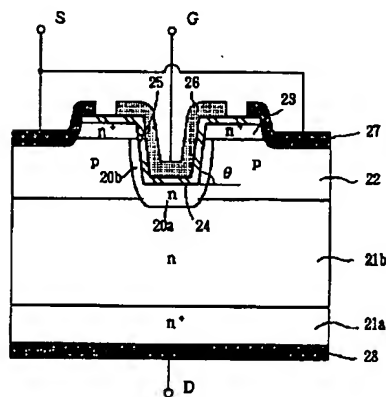
【図3】本発明第二の実施例のトレンチ型MOSFETの部分断面図本発明を製造する方法において、熱酸化を行った場合についての説明図

【図4】従来のSiCUMOSFETの部分断面図

【符号の説明】

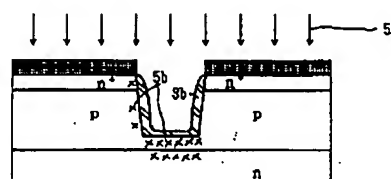
1a、1b	多結晶シリコン膜
2	窒化膜
3a、3b	酸化膜
5a	窒素イオン
5b	窒素原子
10	nサイドウォール領域
11a、21a	n ⁺ ドレイン層
11b、21b	nドリフト層
12、22	pベース層またはpベース領域
13、23	n ⁺ ソース領域
14、24	トレンチ
15、25	ゲート絶縁膜
16、26	ゲート電極層
17、27	ソース電極
18、28	ドレイン電極
19	層間絶縁膜
20a	n底部領域
20b	nサイドウォール領域
M1	第一マスク

【図1】

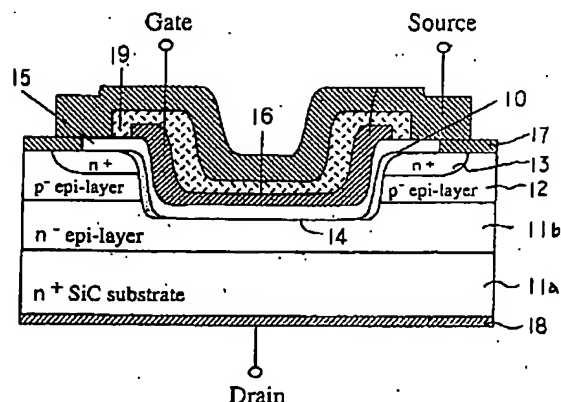


21a n ⁺ ドレイン層	26 ゲート電極層
21b nドリフト層	27 ソース電極
22 pベース領域	28 ドレイン電極
23 n ⁺ ソース領域	20a n底部領域
24 トレンチ	20b nサイドウォール領域
25 ゲート絶縁膜	

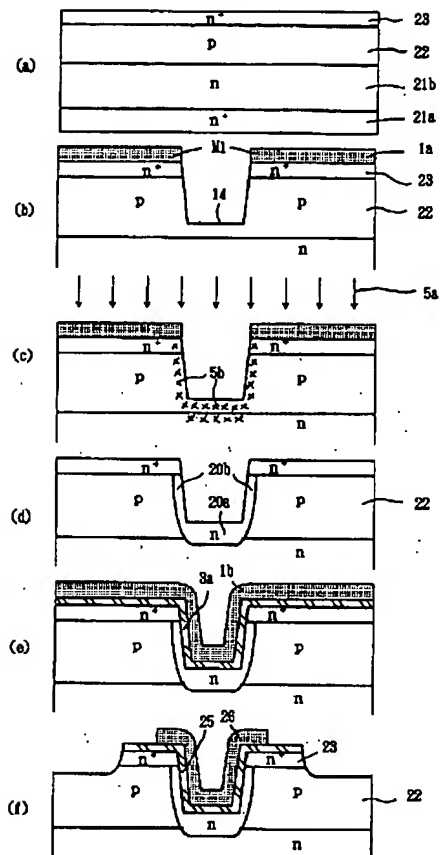
【図3】



【図4】



【図2】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I
H 0 1 L 29/78

テーマコード(参考)

6 5 3 A
6 5 8 A